

P-PCI-LV ボード仕様

暫定版 2001年10月3日

株式会社 ファード

1. 基板概要

PCI バス基板で、ハーフサイズとする。

外部インターフェースはすべて LVDS 信号レベルとする。

2. コネクタピンアサイン

96 ピンハーフピッチコネクタ

| | | | |
|------------|----|----|------------|
| XD00 + | 1 | 49 | XD00 - |
| XD01 + | 2 | 50 | XD01 - |
| XD02 + | 3 | 51 | XD02 - |
| XD03 + | 4 | 52 | XD03 - |
| XD04 + | 5 | 53 | XD04 - |
| XD05 + | 6 | 54 | XD05 - |
| XD06 + | 7 | 55 | XD06 - |
| XD07 + | 8 | 56 | XD07 - |
| XD08 + | 9 | 57 | XD08 - |
| XD09 + | 10 | 58 | XD09 - |
| GND | 11 | 59 | GND |
| XD10 + | 12 | 60 | XD10 - |
| XD11 + | 13 | 61 | XD11 - |
| XD12 + | 14 | 62 | XD12 - |
| XD13 + | 15 | 63 | XD13 - |
| XD14 + | 16 | 64 | XD14 - |
| XD15 + | 17 | 65 | XD15 - |
| XD16 + | 18 | 66 | XD16 - |
| XD17 + | 19 | 67 | XD17 - |
| XD18 + | 20 | 68 | XD18 - |
| XD19 + | 21 | 69 | XD19 - |
| GND | 22 | 70 | GND |
| XD20 + | 23 | 71 | XD20 - |
| XD21 + | 24 | 72 | XD21 - |
| XD22 + | 25 | 73 | XD22 - |
| XD23 + | 26 | 74 | XD23 - |
| XD24 + | 27 | 75 | XD24 - |
| XD25 + | 28 | 76 | XD25 - |
| XD26 + | 29 | 77 | XD26 - |
| XD27 + | 30 | 78 | XD27 - |
| XD28 + | 31 | 79 | XD28 - |
| XD29 + | 32 | 80 | XD29 - |
| XD30 + | 33 | 81 | XD30 - |
| XD31 + | 34 | 82 | XD31 - |
| GND | 35 | 83 | GND |
| XVALID + | 36 | 84 | XVALID - |
| XENABLE + | 37 | 85 | XENABLE - |
| XREQUEST + | 38 | 86 | XREQUEST - |
| XREADY + | 39 | 87 | XREADY - |
| N.C | 40 | 88 | N.C |
| N.C | 41 | 89 | N.C |
| N.C | 42 | 90 | N.C |
| N.C | 43 | 91 | N.C |
| GND | 44 | 92 | GND |
| XCLOCK + | 45 | 93 | XCLOCK - |
| XDIR + | 46 | 94 | XDIR - |
| XOCLK + | 47 | 95 | XOCLK - |
| XPRV + | 48 | 96 | XPRV - |

3. コネクタ型名

ケーブル側 : 本多通信工業社 PCR-E96FA または互換品

4. ドライバ、レシーバ IC

基板上のドライバ ナシヨセミ社 DS90LV031 または互換品
基板上のレシーバ ナシヨセミ社 DS90LV032 または互換品

(注意) 基板上で 100 Ω 終端されています。作成基板側でもレシーバ部は 100 Ω 終端して下さい。

5. プロトコル

P-PCI のプロトコルと全く同様とします。信号レベルの表現は、LVDS ドライバあるいはレシーバの内側におけるものとする。

(1) XPRV (制御権) 信号を使用しない場合は、コネクタ部の信号 XPRV_± は N.C として下さい。本ボードが制御権を取り XPRV をアクティブ (Low) にします。

(2) 基板側から XREQUEST がアクティブ (Low) にすれば、本ボードは転送可能状態であれば XREADY をアクティブ (Low) にします。

(3) さらに基板側からデータを送信すべく XVALID をアクティブ (Low) にすれば、本ボードはデータ受信を行うべく XENABLE をアクティブ (Low) にします。データ受信不可能な場合は XENABLE をインアクティブ (High) にします。

(4) 転送途中で、XREQUEST をインアクティブ (High) にしますと、強制終了要求とみなして、転送を中断します。

(その他) XCLOCK は、データ送信側の機器が出力します。

XOCLK は本ボードが常時出力します。

データバス 32 本 (XD00 ~ XD31) は正論理で、他の制御信号は負論理です。

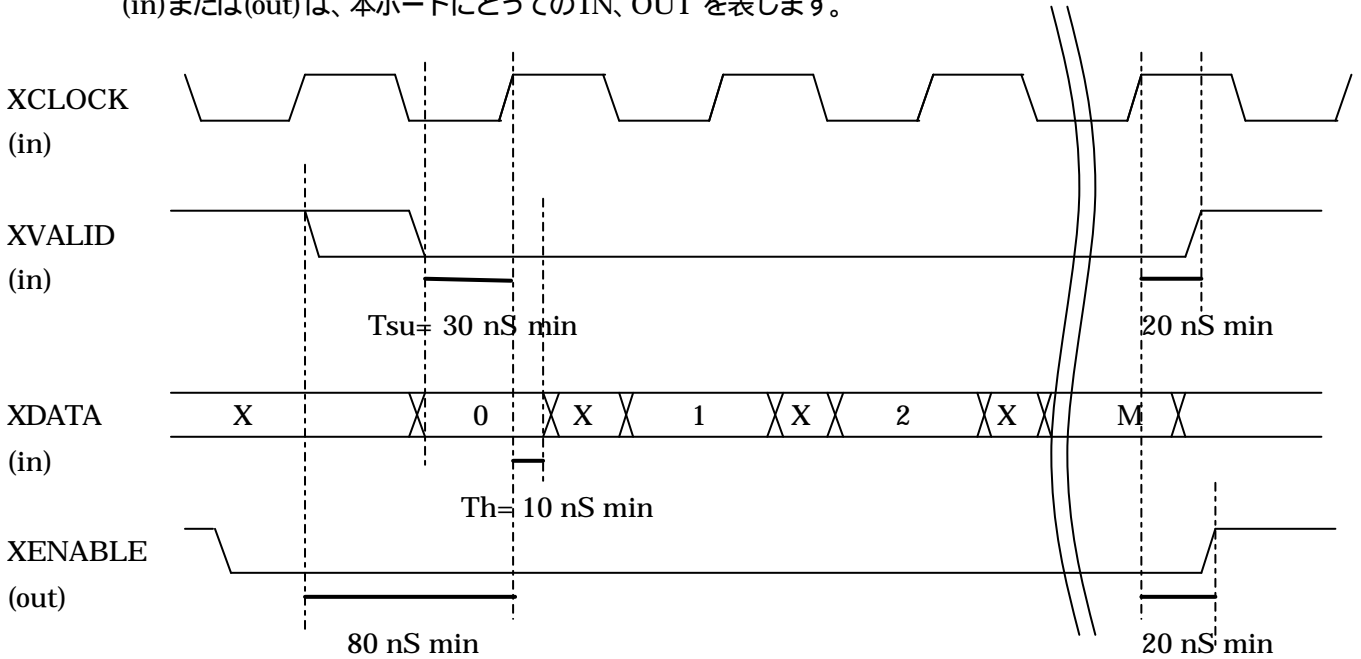
6. タイミング仕様

以下は、XREQUEST も XREADY もアクティブ状態でのタイミングチャートを示す。

LVDS ドライバあるいはレシーバの内側部分でのタイミングを示す。(各ドライバ、レシーバは同じ型式のデバイスを使用していること、接続ケーブルなどは全信号同じ長さであることを前提とします。)

6.1. 外部 > 本ボード

(in)または(out)は、本ボードにとってのIN、OUT を表します。



6.2. 本ボード > 外部

